

Espacenet

Bibliographic data:

JP 2004153255 (A)

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Publication date: 2004-05-27

Inventor(s): ARAO TATSUYA ±

Applicant(s): SEMICONDUCTOR ENERGY LAB ±

Classification: International: G02F1/1368; H01L21/20; H01L21/336; H01L21/768; H01L21/8234; H01L23/522; H01L27/08; H01L27/089; H01L29/41; H01L29/786; H01L51/50; H05B33/14; (IPC-1:7) G02F1/1368; H01L21/20; H01L21/336; H01L21/768; H01L21/8234; H01L27/08; H01L27/088; H01L29/41; H01L29/786; H05B33/14

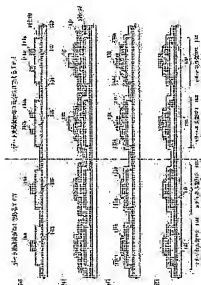
- european:

Application number: JP20030346862 20031006

Priority number(s): JP20030346862 20031006; JP20020293499 20021007

Abstract of JP 2004153255 (A)

PROBLEM TO BE SOLVED: To form on the same substrate a TFT that makes much of a high tension characteristic while suppressing an off-current, a TFT that makes much of a high tension characteristic while increasing an on-current, and a TFT that makes much of a short channel structure and the lowering of a threshold following the short channel structure. ; SOLUTION: A gate insulating film is multilayered, and an auxiliary electrode different from a gate electrode is formed on a semiconductor film to form the TFTs each having the gate insulating film with a different thickness on the same substrate. Hereby, the TFTs each including the gate insulating film with a different thickness can be formed on the same substrate without the use of a specific process. ; COPYRIGHT: (C)2004,JPO



Espacenet Family list

3 application(s) for: JP2004153255 (A)

1. Semiconductor device and mfg. method thereof					
Inventor: TATSUYA ARAO [JP]	Applicant: SEMICONDUCTOR ENERGY LAB [JP]	EC: <u>H01L21/336D2B</u> <u>H01L21/77T</u> (+4)	IPC: H01L21/336 H01L21/77 H01L21/84 (+7)	Publication info: CN1494164 (A) 2004-05-05 CN100448779 (C) 2009-01-07	Priority Date: 2002-10-07
2. SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD					
Inventor: ARAO TATSUYA	Applicant: SEMICONDUCTOR ENERGY LAB	EC:	IPC: G02F1/1368 H01L21/20 H01L21/336 (+19)	Publication info: JP2004153255 (A) 2004-05-27	Priority Date: 2002-10-07
3. Semiconductor device and method for manufacturing the same					
Inventor: ARAO TATSUYA [JP]	Applicant: SEMICONDUCTOR ENERGY LAB LTD [JP]	EC: <u>H01L21/336D2B</u> <u>H01L21/77T</u> (+4)	IPC: H01L21/336 H01L21/77 H01L21/84 (+8)	Publication info: US2004075092 (A1) 2004-04-22 US7189994 (B2) 2007-03-13	Priority Date: 2002-10-07

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-153255

(P2004-153255A)

(43) 公開日 平成16年5月27日 (2004.5.27)

(51) Int. Cl. ⁷ H01L 29/786 G02F 1/1368 H01L 21/20 H01L 21/336 H01L 21/768	FI H01L 29/78 617N G02F 1/1368 H01L 21/20 H01L 27/08 331E H05B 33/14 A	テーマコード (参考) 2H092 3K007 4M104 5F033 5F048
	審査請求 未請求 請求項の数 39	O L (全 34 頁) 最終頁に続く
(21) 出願番号 特願2003-346862 (P2003-346862) (22) 出願日 平成15年10月6日 (2003.10.6) (31) 優先権主張番号 特願2002-293499 (P2002-293499) (32) 優先日 平成14年10月7日 (2002.10.7) (33) 優先権主張国 日本国 (JP)	(71) 出願人 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 荒尾 達也 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 Fターム (参考) 2H092 JA24 JA34 JA37 JA41 MA07 MA08 MA13 MA17 MA30 NA25 NA26 PA01 PA04 PA06 PA10 PA11 PA12 RA05 3K007 AB18 BA06 DB03 GA00	

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 本発明は、オフ電流を抑制しつつ高耐圧特性を重視するTFT、オン電流を大きくしつつ高耐圧特性を重視するTFT、短チャネル構造及びそれに伴う閾値の低下を重視するTFTとを同一基板上に形成することを課題とする。

【解決手段】 ゲート絶縁膜を多層化すると共に、半導体膜上にゲート電極とは異なる補助電極を形成して、膜厚の異なるゲート絶縁膜を有するTFTを同一基板上に形成することを特徴とする。本発明により、特殊な工程を用いず、同一基板上に、ゲート絶縁膜の膜厚の異なるTFTを作製することができる。



1

【特許請求の範囲】

【請求項1】

チャネル形成領域を有する半導体層と、
前記半導体層上に形成された第1の絶縁膜と、
前記第1の絶縁膜を介して前記チャネル形成領域の外
側に形成された補助電極と、
前記第1の絶縁膜及び前記補助電極上に形成された第2
の絶縁膜と、

第1の絶縁膜と第2の絶縁膜を介してチャネル形成領域
上に形成されたゲート電極とを有することを特徴とする
半導体装置。

【請求項2】

半導体層上に形成された第1の絶縁膜と、
前記第1の絶縁膜上に設けられ、前記半導体層のソー
ス領域、ドレイン領域とチャネル形成領域との間のキャ
リア濃度を制御する補助電極と、
前記第1の絶縁膜及び前記補助電極上に形成された第2
の絶縁膜と、

第1の絶縁膜と第2の絶縁膜を介して前記半導体層の
チャネル形成領域上に形成されたゲート電極とを有する
ことを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、前記第1の絶縁膜の
膜厚は、1～100nmであり、第2の絶縁膜は、5～
100nmであることを特徴とする半導体装置。

【請求項4】

請求項1又は請求項2において、前記第1の絶縁膜の
膜厚は、5～50nmであり、前記第2の絶縁膜は、5
～100nmであることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、前記
補助電極は、前記ゲート電極の一部覆われていることを
特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、前記
補助電極は、前記チャネル形成領域と前記半導体層のド
レイン領域との間に形成されていることを特徴とする半
導体装置。

【請求項7】

請求項1乃至請求項5のいずれか一項において、前記
補助電極は、複数からなり、前記半導体層のソース領
域、ドレイン領域とチャネル形成領域との間に設けられ
ていることを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項7のいずれか一項において、第1
の絶縁膜を介して前記補助電極に対向する前記半導体層
の領域に、不純物が添加されていることを特徴とする半
導体装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、前記

2

第2の絶縁膜上に第2の補助電極を有することを特徴と
する半導体装置。

【請求項10】

請求項9において、前記第2の補助電極は湾曲面又は
傾斜面を有することを特徴とする半導体装置。

【請求項11】

同一基板上に第1の薄膜トランジスタと第2の薄膜ト
ランジスタとを有する半導体装置であって、

前記第1の薄膜トランジスタは、第1の半導体層と、
第1のゲート絶縁膜と、第1のゲート電極とを有し、
前記第2の薄膜トランジスタは、第2の半導体層と、
積層された第2ゲート絶縁膜と、第2のゲート電極と、
前記積層された第2のゲート絶縁膜に挟まれ、かつ前記
第2の半導体層のチャネル形成領域の外側に形成された
第1の補助電極とを有し、

前記第1のゲート絶縁膜は、前記第2のゲート絶縁
膜よりも薄いことを特徴とする半導体装置。

【請求項12】

同一基板上に第1の薄膜トランジスタと第2の薄膜ト
ランジスタとを有する半導体装置であって、

前記第1の薄膜トランジスタは、第1の半導体層と、
第1のゲート絶縁膜と、第1のゲート電極とを有し、
前記第2の薄膜トランジスタは、第2の半導体層と、
積層された第2ゲート絶縁膜と、第2のゲート電極と、
前記積層された第2のゲート絶縁膜に挟まれ、かつ前記
第2の半導体層のソース領域、ドレイン領域とチャネル
形成領域との間のキャリア濃度を制御する第1の補助電
極とを有し、

前記第1のゲート絶縁膜は、前記第2のゲート絶縁
膜よりも薄いことを特徴とする半導体装置。

【請求項13】

請求項11又は請求項12において、前記積層された第
2のゲート絶縁膜の一つは、前記第1のゲート絶縁膜で
あることを特徴とする半導体装置。

【請求項14】

請求項11乃至請求項13のいずれか一項において、前
記第1の薄膜トランジスタは、前記第1のゲート電極及
び前記第1のゲート絶縁膜を覆う絶縁膜を有し、該絶縁
膜上に形成される第2の補助電極を有することを特徴と
する半導体装置。

【請求項15】

請求項14において、前記第2の補助電極は湾曲面又は
傾斜面を有することを特徴とする半導体装置。

【請求項16】

請求項11乃至請求項14のいずれか一項において、前
記第1のゲート絶縁膜は、1～100nmであり、前記
第2のゲート絶縁膜は、6～200nmであることを特
徴とする半導体装置。

【請求項17】

請求項11乃至請求項14のいずれか一項において、前

50

3

第1のゲート絶縁膜は、5～50nmであり、前記第2のゲート絶縁膜は、6～150nmであることを特徴とする半導体装置。

【請求項18】

請求項1乃至請求項17のいずれか一項において、前記第1の補助電極は、前記第2の半導体層のドレイン領域とチャネル形成領域との間に形成されていることを特徴とする半導体装置。

【請求項19】

請求項1乃至請求項17のいずれか一項において、前記第1の補助電極は複数となり、前記第2の半導体層のソース領域、ドレイン領域とチャネル形成領域との間に形成されていることを特徴とする半導体装置。

【請求項20】

請求項1乃至請求項19のいずれか一項において、前記第1の補助電極は、前記第2のゲート電極に一部覆われていることを特徴とする半導体装置。

【請求項21】

請求項1乃至請求項20のいずれか一項において、前記第1の補助電極、前記第1のゲート電極、及び前記第2のゲート電極は、それぞれ異なる配線に接続されていることを特徴とする半導体装置。

【請求項22】

請求項14又は請求項15において、前記第1の補助電極、前記第2のゲート電極、前記第1のゲート電極及び前記第2の補助電極は、それぞれ異なる配線に接続されていることを特徴とする半導体装置。

【請求項23】

請求項1乃至請求項22のいずれか一項において、第1の絶縁膜を介して前記第1の補助電極に対向する前記第2の半導体層の領域に、不純物が添加されていることを特徴とする半導体装置。

【請求項24】

第1の領域、第2の領域、ソース領域及びドレイン領域を有する半導体層と、

前記半導体層の上に形成された第1の絶縁膜と、

前記第1の絶縁膜を介して前記半導体層上に形成された第1の補助電極と、

前記第1の絶縁膜及び前記第1の補助電極上に形成された第2の絶縁膜と、

第1の絶縁膜と第2の絶縁膜を介して前記第1の領域上に形成された第1のゲート電極とを有し、

前記第1の領域は、前記ソース領域及びドレイン領域の間に形成され、

前記第2の領域は、ソース領域又はドレイン領域の少なくとも一つと前記第1の領域との間に形成され、

前記第1の補助電極は、前記第1の絶縁膜を介して前記第2の領域上に形成されていることを特徴とする半導体装置。

【請求項25】

4

第1の領域、第1のソース領域、及び第1のドレイン領域で形成される第1の半導体層と、

第2の領域、少なくとも一つの第3の領域、第2のソース領域、及び第2のドレイン領域で形成される第2の半導体層と、

前記第1の半導体層及び前記第2の半導体層上に形成された第1の絶縁膜と、

前記第1の絶縁膜を介して前記第2の半導体層上に形成された第1の補助電極と、

前記第1の絶縁膜を介して第1の半導体層上に形成された第1のゲート電極と、

前記第1の絶縁膜、前記第1の補助電極、及び前記第1のゲート電極上に形成された第2の絶縁膜と、

前記第2の絶縁膜を介して、前記第2の領域上に形成されたゲート電極とを有し、

前記第2の領域は、前記第2のソース領域及び前記第2のドレイン領域の間に形成され、前記第3の領域は、前記第2のソース領域とドレイン領域の少なくとも一つと前記第2の領域との間に形成され、

前記第1の補助電極は、前記第1の絶縁膜を介して前記第3の領域上に形成されていることを特徴とする半導体装置。

【請求項26】

請求項24又は請求項25において、前記第1の絶縁膜の膜厚は、1～100nmであり、第2の絶縁膜は、5～100nmであることを特徴とする半導体装置。

【請求項27】

請求項24又は請求項25において、前記第1の絶縁膜の膜厚は、5～50nmであり、前記第2の絶縁膜は、5～100nmであることを特徴とする半導体装置。

【請求項28】

請求項24乃至請求項27のいずれか一項において、前記第1の補助電極は、前記ゲート電極の一部覆われていることを特徴とする半導体装置。

【請求項29】

請求項24乃至請求項28のいずれか一項において、前記第2の絶縁膜上に第2の補助電極を有することを特徴とする半導体装置。

【請求項30】

請求項29において、前記第2の補助電極は湾曲面又は傾斜面を有することを特徴とする半導体装置。

【請求項31】

請求項24、及び請求項26乃至請求項30のいずれか一項において、前記第2の領域に、不純物が添加されていることを特徴とする半導体装置。

【請求項32】

請求項24、及び請求項26乃至請求項31のいずれか一項において、前記第1の補助電極、及び前記第1のゲート電極は、それぞれ異なる配線に接続されているこ

とを特徴とする半導体装置。

【請求項33】

請求項25乃至請求項30のいずれか一項において、前記第3の領域に、不純物が添加されていることを特徴とする半導体装置。

【請求項34】

請求項25乃至請求項30、又は請求項33のいずれか一項において、前記第1の補助電極、前記第2補助電極、前記第1のゲート電極、及び前記第2のゲート電極は、それぞれ異なる配線に接続されていることを特徴とする半導体装置。

【請求項35】

第1の半導体層、第1のゲート電極、第1の絶縁膜、及び第2の絶縁膜を有する第1の薄膜トランジスタと、第2の半導体層、第2のゲート電極、第1の補助電極、前記第1の絶縁膜及び前記第2の絶縁膜を有する第2の薄膜トランジスタを有する半導体装置の作製方法であつて、

絶縁膜表面上に、前記第1の半導体層及び前記第2の半導体層を形成し、

前記第1の半導体層及び前記第2の半導体層上に第1の絶縁膜を形成し、

前記第1の絶縁膜上に第1のゲート電極及び第1の補助電極を形成し、

前記第1のゲート電極、前記第1の補助電極、及び前記第1の絶縁膜上に、第2の絶縁膜を形成し、

前記第2の絶縁膜上に第2のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項36】

請求項35において、前記第1の補助電極、前記第2のゲート電極、及び前記第1のゲート電極を、それぞれ異なる配線に接続するようにエッチングすることを特徴とする半導体装置の作製方法。

【請求項37】

請求項35又は請求項36において、前記第2のゲート電極を形成すると同時に、第1の薄膜トランジスタに第2の補助電極を形成することを特徴とする半導体装置の作製方法。

【請求項38】

請求項37において、前記第1の補助電極、前記第2の補助電極、前記第2のゲート電極、及び前記第1のゲート電極を、それぞれ異なる配線に接続するようにエッチングすることを特徴とする半導体装置の作製方法。

【請求項39】

請求項35乃至請求項38のいずれか一項において、前記第2の半導体層及び前記第1の補助電極の一部を覆うように、前記第2のゲート電極を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、TFTを用いて作製するアクティブマトリクス型の液晶モジュール、ELモジュールに代表される表示モジュール、およびその他の表示モジュールを部品として搭載した電子機器に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いてTFTを構成し、このTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL表示装置、および密着型イメージセンサはその代表例として知られている。さらには、画素部と駆動回路部の他に、CPU、DRAM、画像処理回路、音声処理回路等をも同一基板上に設けたシステム・オン・パネルが提案されている。特に、結晶性半導体膜を活性層にしたTFTは電界効果移動度が高いことから、いろいろな機能を備えた回路を形成することも可能である。

【0003】

例えば、液晶表示装置に搭載される液晶モジュールには、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路、画素回路、及び駆動回路以外の回路であつてCPU、DRAM、画像処理回路、音声処理回路等を含む機能回路が一枚の基板上に形成される。

【0004】

画素領域のTFT（以下、画素TFTと示す。）はnチャネル型TFTからなり、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることが重要である。

【0005】

オフ電流値を低減するためのTFTの構造として、低濃度ドレイン（LDD:Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、ソース領域またはドレイン領域との間に低濃度不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。LDD構造はドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果がある。

【0006】

次に、画素TFTを駆動する駆動回路（バッファ回路、レベルシフト回路、サンプリング回路等）に用いら

れるTFTは、CMOS回路を基本としている。駆動回路に用いられるTFTは、オフ電流よりもオン電流を重視するための構造が好まれる。この構造は、ゲート電極の下にLDD領域を有する構造である。LDD構造では、オフ電流を抑制すると同時にオン電流をも抑制してしまうという弊害があったが、この構造とすると、ドレイン近傍の電界を緩和し、ホットキャリアによるオン電流の劣化を抑制することが可能である。

【0007】

駆動回路において、バッファ回路、レベルシフト回路、サンプリング回路等は、画素領域のゲート配線に電圧を印加する回路であり、画素領域と同様に印加電圧が高い。このため、ゲート絶縁膜の厚いものが求められる。

【0008】

さらに、画素回路及び駆動回路以外の回路であってCPU、DRAM、画像処理回路、音声処理回路等を含む機能回路のTFTは、高速動作を必要とするため、短チャネルのほうが好ましい。しかし、短チャネルのTFTの場合、閾値が低下してしまい、オフ電流が流れやすくなってしまふという問題がある。このため、CPU、DRAM、画像処理回路、音声処理回路等のTFTには、チャネル長が短くかつゲート絶縁膜の膜厚が薄いTFTが好ましい。

【0009】

このように、同一の基板上に、それぞれ構造の異なるTFTを作製しようとすると、プロセスが複雑となる。具体的には、短チャネルのTFTを作製するのであれば、マスクの設計を変更するだけで良いが、ゲート絶縁膜の膜厚を、基板の領域ごとに異ならせる場合、従来のプロセスとは異なるプロセスを導入しなければならない。具体的には、駆動回路のTFTのゲート絶縁膜のみをエッチングした後、高温で加熱して、熱酸化膜を形成し、駆動回路TFTのゲート絶縁膜を溶かし、画素TFTのゲート絶縁膜を厚くするという方法がとられている。(例えば、特許文献1参照。)

【特許文献1】特開2000-284722(第6～11頁、第3図)

【発明の開示】

【発明が解決しようとする課題】

【0010】

このように、オフ電流を抑制しつつ高耐圧特性を重視する画素TFT、オン電流電流を大きくつつ、高耐圧特性を重視するバッファ回路、シフトレジスタ回路、レベルシフト回路及びサンプリング回路等の駆動回路のTFT、短チャネル構造及びそれに伴う閾値の低下を重視するCPU、DRAM、画像処理回路、音声処理回路等を含む機能回路等のTFTとを同時に満足することが可能なTFT構造は、確立されていないのが現状である。

【0011】

また、LDD構造を備えたTFTやゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた構造を備えたTFTを形成しようとすると、その製造工程が複雑なものとなり、工程数が増加してしまう問題がある。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となることは明らかである。

【0012】

本発明はこのような問題点を解決するための技術であり、TFTで構成された回路を有する半導体装置、及びTFTを用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびにEL表示装置に代表される発光装置において、従来と同様のプロセスを用いて、同一基板上に異なる構造のTFTを作り分ける方法を提案する。すなわち、ゲート絶縁膜を多層化すると共に、半導体膜上にゲート電極とは異なる電極(以下、補助電極と示す。)を有するTFTを提案する。

【0013】

本発明により、同一基板上にゲート絶縁膜の膜厚の異なるTFTを作製し、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ると共に、従来用いる工程を応用して、製造コストの低減および歩留まりの向上を実現するTFT構造を提供することを目的としている。

【0014】

また、高精細化(画素数の増大)及び小型化に伴い、各表示画素ピッチの微細化が進められている。微細化されたTFTを作製する場合、マスクの位置合わせが重要となり、マスクの位置のずれにより、歩留まりが低下するという問題もある。本発明は、TFTを用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置及びEL表示装置に代表される発光装置において、歩留まりの向上を実現するTFT構造を提供する。

【課題を解決するための手段】

【0015】

本明細書で開示する発明の構成1は、チャネル形成領域を有する半導体層と、前記半導体層上に形成された第1の絶縁膜と、前記第1の絶縁膜を介して前記チャネル形成領域の外側に形成された補助電極と、前記第1の絶縁膜及び前記補助電極上に形成された第2の絶縁膜と、第1の絶縁膜と第2の絶縁膜を介してチャネル形成領域上に形成されたゲート電極とを有することを特徴とする。

【0016】

本明細書で開示する発明の構成2は、半導体層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に設けられ、前記半導体層のソース領域、ドレイン領域とチャネル形成領域との間のキャリア濃度を制御する補助電極と、前記第1の絶縁膜及び前記補助電極上に形成された

第2の絶縁膜と、第1の絶縁膜と第2の絶縁膜を介して前記半導体層のチャネル形成領域上に形成されたゲート電極とを有することを特徴とする。

【0017】

本発明の構成1及び2において、前記第1の絶縁膜の膜厚は、1～100nm、好ましくは5～50nmであり、第2の絶縁膜は、5～100nmである。

【0018】

なお、補助電極がTFTに対してひとつの場合、前記補助電極は、半導体層のチャネル形成領域とドレイン領域との間に形成されている。一方、補助電極がひとつのTFTに対して複数ある場合、前記半導体層のソース領域、ドレイン領域とチャネル形成領域との間に前記補助電極が設けられている。

【0019】

また、補助電極、第1のゲート電極は、それぞれ異なる配線に接続されている。

【0020】

また、補助電極は、前記ゲート電極の一部覆われている。

【0021】

また、第1の絶縁膜を介して前記補助電極に対向する前記半導体層の領域には、不純物が添加されている。すなわち、前記半導体層において、ソース領域又はドレイン領域と、チャネル形成領域の間に低濃度不純物領域を有しているように、この場合、補助電極の下に、該低濃度不純物領域が形成されている。

【0022】

本明細書で開示する発明の構成3は、第1の領域、第2の領域、ソース領域及びドレイン領域を有する半導体層と、前記半導体層の上に形成された第1の絶縁膜と、前記第1の絶縁膜を介して前記半導体層上に形成された第1の補助電極と、前記第1の絶縁膜及び前記第1の補助電極上に形成された第2の絶縁膜と、第1の絶縁膜と第2の絶縁膜を介して前記第1の領域上に形成された第1のゲート電極とを有し、前記第1の領域は、前記ソース領域及びドレイン領域の間に形成され、

前記第2の領域は、ソース領域又はドレイン領域の少なくとも一つと前記第1の領域との間に形成され、前記第1の補助電極は、前記第1の絶縁膜を介して前記第2の領域上に形成されていることを特徴とする半導体装置である。

【0023】

本発明の構成3において、前記第1の絶縁膜の膜厚は、1～100nm、好ましくは5～50nmであり、第2の絶縁膜は、5～100nmである。

【0024】

また、前記第1の補助電極は、前記ゲート電極の一部覆われている。

【0025】

また、前記第2の絶縁膜上に第2の補助電極を有している。なお、第2の補助電極は湾曲面又は傾斜面を有する。

【0026】

また、前記第2の領域に、不純物が添加されている。

【0027】

また、前記第1の補助電極、及び前記第1のゲート電極は、それぞれ異なる配線に接続されている。

【0028】

本明細書で開示する発明の構成4は、同一基板上に第1の薄膜トランジスタと第2の薄膜トランジスタとを有する半導体装置であって、前記第1の薄膜トランジスタは、第1の半導体層と、第1のゲート絶縁膜と、第1のゲート電極とを有し、前記第2の薄膜トランジスタは、第2の半導体層と、積層された第2ゲート絶縁膜と、第2のゲート電極と、前記積層された第2ゲート絶縁膜に挟まれ、かつ前記第2の半導体層のチャネル形成領域の外側に形成された第1の補助電極とを有し、前記第1のゲート絶縁膜は、前記第2のゲート絶縁膜よりも薄いことを特徴とする。

【0029】

本明細書で開示する発明の構成5は、同一基板上に第1の薄膜トランジスタと第2の薄膜トランジスタとを有する半導体装置であって、前記第1の薄膜トランジスタは、第1の半導体層と、第1のゲート絶縁膜と、第1のゲート電極とを有し、前記第2の薄膜トランジスタは、第2の半導体層と、積層された第2ゲート絶縁膜と、第2のゲート電極と、前記積層された第2ゲート絶縁膜に挟まれ、かつ前記第2の半導体層のソース領域、ドレイン領域とチャネル形成領域との間のキャリア濃度を制御する第1の補助電極とを有し、前記第1のゲート絶縁膜は、前記第2のゲート絶縁膜よりも薄いことを特徴とする。

【0030】

本明細書で開示する発明の構成4または5において、第1のゲート絶縁膜は、1～100nm、好ましくは5～50nmであり、前記第2のゲート絶縁膜は、6～200nmである。

【0031】

また、積層された第2のゲート絶縁膜を構成する複数の絶縁膜の一つは、第1のゲート絶縁膜である。

【0032】

また、第1の補助電極、第1のゲート電極、及び第2のゲート電極は、それぞれ異なる配線に接続されている。

【0033】

なお、第1の補助電極がひとつの場合、該第1の補助電極は、半導体層のチャネル形成領域とドレイン領域との間に形成されている。一方、第1の補助電極が複数あ

る場合、半導体層のソース領域、ドレイン領域とチャネル形成領域との間に該第1の補助電極が設けられている。

【0034】

また、第1の薄膜トランジスタは、第1のゲート電極及び第1のゲート絶縁膜を覆う絶縁膜を有し、該絶縁膜上に形成される第2の補助電極を有してもよい。

【0035】

このときの第2の補助電極は、湾曲面又は傾斜面を有する。

【0036】

また、第1の絶縁膜を介して第1の補助電極に対向する第2の半導体層の領域に、不純物が添加されていてもよい。すなわち、第2の半導体層において、ソース領域又はドレイン領域と、チャネル形成領域の間に低濃度不純物領域を有していてもよく、この場合、低濃度不純物領域の上に、補助電極が形成されている。

【0037】

本明細書で開示する発明の構成6は、第1の領域、第1のソース領域、及び第1のドレイン領域で形成される第1の半導体層と、第2の領域、少なくとも一つの第3の領域、第2のソース領域、及び第2のドレイン領域で形成される第2の半導体層と、前記第1の半導体層及び前記第2の半導体層上に形成された第1の絶縁膜と、

前記第1の絶縁膜を介して前記第2の半導体層上に形成された第1の補助電極と、前記第1の絶縁膜を介して第1の半導体層上に形成された第1のゲート電極と、前記第1の絶縁膜、前記第1の補助電極、及び前記第1のゲート電極上に形成された第2の絶縁膜と、前記第2の絶縁膜を介して、前記第2の領域上に形成されたゲート電極とを有し、前記第2の領域は、前記第2のソース領域及び前記第2のドレイン領域の間に形成され、前記第3の領域は、前記第2のソース領域とドレイン領域の少なくとも一つと前記第2の領域との間に形成され、前記第1の補助電極は、前記第1の絶縁膜を介して前記第3の領域上に形成されていることを特徴とする半導体装置である。

【0038】

本発明の構成6において、前記第1の絶縁膜の膜厚は、1~100nm、好ましくは5~50nmであり、第2の絶縁膜は、5~100nmである。

【0039】

また、前記第1の補助電極は、前記ゲート電極に一部覆われていてもよい。

【0040】

また、前記第2の絶縁膜上に第2の補助電極を有してもよい。なお、第2の補助電極は湾曲面又は傾斜面を有する。

【0041】

また、前記第3の領域に、不純物が添加されていても

よい。

【0042】

また、前記第1の補助電極、前記第2補助電極、前記第1のゲート電極、及び前記第2のゲート電極は、それぞれ異なる配線に接続されている。

【0043】

本明細書で開示する発明の構成7は、第1の半導体層、第1のゲート電極、第1の絶縁膜、及び第2の絶縁膜を有する第1の薄膜トランジスタと、第2の半導体層、第2のゲート電極、第1の補助電極、前記第1の絶縁膜及び前記第2の絶縁膜を有する第2の薄膜トランジスタを有する半導体装置の作製方法であって、絶縁膜上に、前記第1の半導体層及び前記第2の半導体層を形成し、前記第1の半導体層及び前記第2の半導体層上に第1の絶縁膜を形成し、前記第1の絶縁膜上に第1のゲート電極及び第1の補助電極を形成し、前記第1のゲート電極、前記第1の補助電極、及び前記第1の絶縁膜上に、第2の絶縁膜を形成し、前記第2の絶縁膜上に第2のゲート電極を形成することを特徴とする。

【0044】

本明細書で開示する発明の構成7において、第1の補助電極、各ゲート電極が、それぞれ異なる配線に接続するようにエッチングすることを特徴とする。

【0045】

また、前記第2のゲート電極を形成すると同時に、第1の薄膜トランジスタに第2の補助電極を形成してもよい。この場合、第2の補助電極は、第1の補助電極、各ゲート電極とそれぞれ異なる配線に接続されている。

【0046】

なお、第2のゲート電極を形成する場合、第2の半導体層及び第1の補助電極上に、形成する。

【0047】

発明の構成1又は2により、低濃度不純物領域（LD領域）を形成せずとも、ソース領域、ドレイン領域とチャネル形成領域とのキャリア濃度を制御することが可能となるため、低濃度不純物領域の形成工程に伴うマスクの位置のずれを回避することが可能となり、歩留まりの低下を抑制することができる。

【0048】

発明の構成3~7により、特殊な工程を用いず、同一基板上に、ゲート絶縁膜の膜厚の異なる複数のTFTを作製することができる。また、LDD領域を形成しなくとも第1の補助電極及び第2の補助電極に、任意の電圧を印加することで、各々の補助電極の下にある半導体層中のキャリア濃度を変化させることができる。

【0049】

また、膜厚の厚いゲート絶縁膜を有するTFTを、シフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路等の駆動回路のTFT及び画素TFTに応用することで、耐圧の機能が高く、低消費電力化を

図ることができ、且つ信頼性の高いTFTF作製することが可能となる。さらに、チャネル長が短くゲート絶縁膜の薄いTFTFを、CPU、DRAM、画像処理回路、音声処理回路等を含む機能回路のTFTFに応用することで、動作特性および信頼性を向上させることができる。

【発明の効果】

【0050】

本発明により、特殊な工程を用いず、同一基板上に、ゲート絶縁膜の膜厚の異なるTFTFを作製することができる。また、LDD領域を形成しなくとも第1の補助電極及び第2の補助電極に、任意の電圧を印加すること
10 で、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を変化させることができる。これにより、チャネル形成領域とソース領域又はドレイン領域との接合面において生じる、ホットキャリア効果を抑制することができる。よって、機能回路のTFTF（代表的には、CPU、DRAM、画像処理回路、音声処理回路等）に膜厚の薄いゲート絶縁膜を有するTFTFを適し、画素TFTF又は駆動回路（代表的には、バッファ回路、シフトレジスタ回路、レベルシフト回路、サンプリング回路等）に膜厚の厚いゲート絶縁膜を有するTFTFを応用することで、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ることができる。さらに、同一基板上に、画素部、駆動回路、機能回路を設けることができ、液晶モジュールやELモジュールのように、従来表示装置に用いていたモジュールを小型化にすることができ、表示装置を有する電子機器を携帯に便利な形状とすることができる。

【発明を実施するための最良の形態】

【0051】

（第1実施形態）

本発明の一例を図1に示す。本実施形態では、膜厚の薄いゲート絶縁膜及び第1の補助電極を有するP-TFT、N-TFT（図1において、ゲート絶縁膜がG1であるTFT）と、膜厚の厚いゲート絶縁膜、第1の補助電極、第2の補助電極を有するP-TFT、N-TFT（図1において、ゲート絶縁膜がG1及びG2であるTFT）とを同時に形成する工程を示す。

【0052】

図1（A）に示すように、基板101上に、下地膜である絶縁膜102を介して結晶性半導体膜を形成した後、この結晶性半導体膜を任意の形状にエッチングし、分離された結晶性半導体膜103〜106を形成する。その後、第1のゲート絶縁膜（以下、本実施形態及び図1においてG1と示す。）107を成膜する。第1のゲート絶縁膜（G1）107は、代表的には、駆動回路等の高速動作が要求されるTFTFのゲート絶縁膜として機能するものであり、膜厚が薄く、第1のゲート絶縁膜の膜厚は、1〜100nm、好ましくは〜50nmであることが好ましい。この範囲の膜厚よりも膜厚が薄い場
50

合、寄生容量が形成され、高速動作ができなくなるという問題がある。

【0053】

次に、第1の導電膜を成膜したのち、フォトリソグラフィの技術を用いマスク（図示しない）を形成した後、公知のエッチング方法により、第1の導電膜の不要部分を除去して、所望の形状の第1のゲート電極108、109及び第1の補助電極110a、110b、111a、111bを形成する。膜厚の薄いゲート絶縁膜を有するTFTFではゲート電極（以下、本実施形態では、第1のゲート電極と記す。）として、膜厚の厚いゲート絶縁膜を有するTFTFでは補助電極（以下、本実施形態では、第1の補助電極と記す。）として形成する。ひとつのTFTFにおける第1の補助電極は、任意の間隔で配置されることが好ましい。代表的には、概ねチャネル長の間隔（4〜12μm、好ましくは6〜10μm）を有して配置される。

【0054】

次に、図1（B）に示すように、第2のゲート絶縁膜120（以下、本実施形態及び図1においてG2と示す）を形成する。第1のゲート絶縁膜（G1）及び第2のゲート絶縁膜（G2）は、膜厚の厚いゲート絶縁膜を有するTFTF（図1において、ゲート絶縁膜がG1及びG2であるTFTF）のゲート絶縁膜であり、代表的には、画素TFTF、バッファ回路等の耐電圧が要求されるTFTFのゲート絶縁膜として機能するものである。よって、第2のゲート絶縁膜の膜厚（G2）は、第1のゲート絶縁膜よりも厚く、5〜100nmであることが好ましい。

【0055】

次に、第2の導電膜をエッチングした後、フォトリソグラフィの技術を用いマスク（122、123）を形成した後、公知のエッチング方法により、第2の導電膜の不要部分を除去して、所望の形状の第2のゲート電極及び第2の補助電極を形成する。膜厚の薄いゲート絶縁膜を有するTFTF（図1において、ゲート絶縁膜がG1であるTFTF）では補助電極として、膜厚の厚いゲート絶縁膜を有するTFTF（図1において、ゲート絶縁膜がG1及びG2であるTFTF）ではゲート電極及び補助電極として形成する。

【0056】

第2の導電膜をエッチングする際は、まず始めに、第2のゲート電極を形成する部分にレジストマスク122、123を形成する。こののち、図1（C）に示すように、第2の導電膜をエッチングして、第2の補助電極131a〜134a、131b〜134bを形成する。なお、このときは、条件を適宜適応することにより、湾曲面を有する第2の補助電極、即ち、任意の形状の半導体層103〜106上に形成された第1のゲート絶縁膜107及び第2のゲート絶縁膜120へ向けに傾斜して

15

いる第2の補助電極131a~134a、131b~134bを形成する。

【0057】

なお、図1においては、便宜上結晶性半導体膜の膜厚と第1のゲート電極の膜厚がほぼ同様に表記されているが、実際は、結晶性半導体膜の膜厚は、25~70nmであり、ゲート電極の膜厚は、120~500nmである。このため、段差の大きいゲート電極の側面には、補助電極は形成されるが、結晶性半導体膜の側面には補助電極は形成されない。この後、レジスタマスクを除去す

【0058】

次に、図1(D)に示すように、第1のゲート電極108、109、第2の補助電極131a~134a、131b~134b、第2のゲート電極135、136、第1の補助電極110a、110b、111a、111bをマスクとして、不純物を添加することで、ソース領域及びドレイン領域を形成する。Pチャネル型TFTのソース領域又はドレイン領域141、143、Nチャネル型TFTのソース領域又はドレイン領域140、142には、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の濃度範囲でn型またはp型を付与する不純物元素が添加される。

【0059】

なお、第1の補助電極110a、110b、111a、111bの下方の結晶性半導体膜に不純物を添加し、LDD領域を設けても良い。

【0060】

また、nチャネル型TFT152及びpチャネル型TFT153において、第1の補助電極を2つ形成したが、これは、一つでも良い。この場合、補助電極は、ドレイン領域とゲート電極との間に設ける。

【0061】

以上の工程より、ゲート絶縁膜の膜厚が薄いnチャネル型TFT150、pチャネル型TFT151、ゲート絶縁膜の膜厚が厚いnチャネル型TFT152、pチャネル型TFT153を同時に形成する。

【0062】

本実施形態において、第1のゲート電極、第1の補助電極、第2のゲート電極、第2の補助電極はそれぞれ、独立してパターンニングされているため、それぞれの電極に任意の電圧を印加することができる。よって、それぞれのTFTの必要とされる機能を考慮して、第1の補助電極及び第2の補助電極に、任意の電圧を印加することにより、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を制御することができる。即ち、LDD領域と同様の機能を有し、ホットキャリア効果を抑制することが可能である。代表的には、オン電流の低いTFTにおいては、補助電極の印加電圧を制御してキャリア濃度を高めて、結晶性半導体膜中の抵抗を下げれば良い。

16

また、オフ電流の高いTFTにおいては、補助電極の印加電圧を制御して、キャリア濃度を抑制して、結晶性半導体膜中の抵抗を高めれば良い。なお、第2のゲート電極と第2の補助電極は、分離されず接続されていても良い。

【0063】

また、第1の補助電極及び第2の補助電極の電位は、固定する必要はなく、それぞれのTFTに必要なとされる機能を考慮して、経時変化させることもできる。すなわち、ひとつのTFTにおいて、補助電極に印加する電圧を調節することで、オン電流を高めたりオフ電流低下させることが可能となる。この場合、補助電極に印加する電圧は、必要とするオフ電流またはオン電流に合わせて、適宜調節すればよい。

【0064】

以上の工程により、特殊な工程を用いず、同一基板上に、ゲート絶縁膜の膜厚の異なるTFTを作製することができる。また、LDD領域を形成しなくとも第1の補助電極及び第2の補助電極に、任意の電圧を印加することで、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を変化させることができる。これにより、チャネル形成領域とソース領域又はドレイン領域との接合面において生じる、ホットキャリア効果を抑制することができる。よって、膜厚の厚いゲート絶縁膜を有するTFTを、シフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路等の駆動回路のTFT及び画素TFTに應用することで、耐圧の機能が強く、低消費電力化を図ることができ、且つ信頼性の高いTFTを作製することが可能となる。さらに、チャネル長が短くゲート絶縁膜の薄いTFTを、CPU、DRAM、画像処理回路、音声処理回路等を含む機能回路のTFTに應用することで、動作特性および信頼性を向上させることができる。

【0065】

(第2実施形態)

本発明の一例を図2に示す。本実施形態は、第1実施形態に記載したアクティブマトリクス基板において、LDD領域を有するTFTを形成する工程を示す。

【0066】

図2(A)に示すように、基板201上に、下地膜である絶縁膜202を介して結晶性半導体膜を形成した後、この結晶性半導体膜を任意の形状にエッチングし、分離された結晶性半導体膜203~206を形成する。この後、第1のゲート絶縁膜(以下、本実施形態及び図2においてG1と示す。)207を成膜する。第1のゲート絶縁膜(G1)207は、膜厚が薄く、第1のゲート絶縁膜の膜厚は、1~100nm、好ましくは5~50nmであることが好ましい。

【0067】

次に、第1の導電膜を成膜したのち、フォトリソグラ

17

フィーの技術を用いマスク（図示しない）を形成した後、公知のエッチング方法により、第1の導電膜の不要部分を除去して、所望の形状の第1のゲート電極208、209及び第1の補助電極210a、210b、211a、211bを形成する。膜厚の薄いゲート絶縁膜を有するTFTではゲート電極（以下、本実施形態では、第1のゲート電極と記す。）として、膜厚の厚いゲート絶縁膜を有するTFTでは補助電極（以下、本実施形態では、第1の補助電極と記す。）として形成する。ひとつのTFTにおける第1の補助電極は、任意の間隔を配置されることが好まれる。代表的には、概ねチャネル長（ $4 \sim 12 \mu\text{m}$ 、好ましくは $6 \sim 10 \mu\text{m}$ ）の間隔を有して配置される。

【0068】

次に、チャネル形成領域以外の結晶性半導体膜中に不純物を添加する。なお、図2（A）では表記しないが、膜厚の厚いゲート絶縁膜を有するTFT（図2においては、ゲート絶縁膜がG1及びG2であるTFT）においては、第1の補助電極の間（即ち、図2（A）の領域210aと210bとの間、及び領域211aと211bとの間）の結晶性半導体膜に不純物が添加されないように、レジストマスクで覆った後、不純物を添加する。不純物を添加することで、LDD領域を形成する。Pチャネル型TFTのLDD領域210、218、Nチャネル型TFTのLDD領域215、217には、 $1 \times 10^{17} \sim 1 \times 10^{18}/\text{cm}^3$ の濃度範囲でn型またはp型を付与する不純物元素が添加される。

【0069】

次に、図2（B）に示すように、第2のゲート絶縁膜220（以下、本実施形態及び図2においてG2と示す）を形成する。第1のゲート絶縁膜（G1）及び第2のゲート絶縁膜（G2）は、膜厚の厚いゲート絶縁膜を有するTFT（図2において、ゲート絶縁膜がG1及びG2であるTFT）のゲート絶縁膜である。第2のゲート絶縁膜の膜厚（G2）は、第1のゲート絶縁膜よりも厚く、 $5 \sim 100 \text{nm}$ であることが好ましい。

【0070】

次に、図2（C）に示すように、第2の導電膜221を形成した後、フォトリソグラフィの技術を用いマスク222、223を形成した後、公知のエッチング方法により、第2の導電膜の不要部分を除去して、所望の形状の第2のゲート電極及び第2の補助電極を形成する。膜厚の薄いゲート絶縁膜を有するTFT（図2において、ゲート絶縁膜がG1であるTFT）では、第2の補助電極を形成する。一方、膜厚の厚いゲート絶縁膜を有するTFT（図2において、ゲート絶縁膜がG1及びG2であるTFT）では第2の補助電極及び第2のゲート電極を形成する。

【0071】

第2の導電膜をエッチングする際は、まず始めに、第

18

2のゲート電極を形成する部分にレジストマスク222、223を形成する。このうち、第2の導電膜をエッチングして、第2の補助電極231a \sim 234a、231b \sim 234bを形成する。なお、このときは、条件を適宜適応することにより、溝底面を有する第2の補助電極、即ち、任意の形状の半導体層203 \sim 206上に形成された第1のゲート絶縁膜207及び第2のゲート絶縁膜220へ向け傾斜している第2の補助電極231a \sim 234a、231b \sim 234bを形成する。

【0072】

この後、レジストマスクを除去することにより、第2のゲート電極235、236を形成する。

【0073】

次に、図2（D）に示すように、第1のゲート電極208、209、第2の補助電極231a \sim 234a、231b \sim 234b、第2のゲート電極235、236、第1の補助電極210a、210b、211a、211bをマスクとして、不純物を添加することで、ソース領域及びドレイン領域を形成する。pチャネル型TFTのソース領域又はドレイン領域241、243、n型チャネル型TFTのソース領域又はドレイン領域240、242には、 $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲でn型またはp型を付与する不純物元素が添加される。なお、第1の補助電極210a、210b、211a、211bの下方の結晶性半導体膜に不純物を添加し、LDD領域を設けても良い。

【0074】

以上の工程により、ゲート絶縁膜の膜厚が薄いnチャネル型TFT250、pチャネル型TFT251、ゲート絶縁膜の膜厚が厚いnチャネル型TFT252、pチャネル型TFT253とを同時に、同一基板上に形成することができる。

【0075】

本実施形態において、第1のゲート電極、第1の補助電極、第2のゲート電極、第2の補助電極はそれぞれ、独立してパターンニングされているため、それぞれの電極に任意の電圧を印加することができる。よって、それぞれのTFTで必要とされる機能を考慮して、第1の補助電極及び第2の補助電極に、任意の電圧を印加することにより、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を制御することができる。すなわち、LDDと同様の機能を有し、ホットキャリア効果を抑制することが可能である。代表的には、オン電流の低いTFTにおいては、補助電極の印加電圧を制御してキャリア濃度を高めて、結晶性半導体膜中の抵抗を下げれば良い。また、オフ電流の高いTFTにおいては、補助電極の印加電圧を制御して、キャリア濃度を抑制し、結晶性半導体膜中の抵抗を高めれば良い。

【0076】

また、第1の補助電極及び第2の補助電極の電位は、

固定する必要はなく、それぞれのTFTの必要とされる機能を考慮して、経時変化させることもできる。すなわち、ひとつのTFTにおいて、補助電極に印加する電圧を調節することで、オン電流を高めたりオフ電流低下させることが可能となる。この場合、補助電極に印加する電圧は、必要とするオフ電流またはオン電流に合わせて、適宜調節すればよい。なお、第2のゲート電極と第2の補助電極は、分離されず接続されていても良い。

【0077】

以上の工程により、特殊な工程を用いず、従来の工程を応用することで、同一基板上に、ゲート絶縁膜の膜厚の異なる、且つLDD領域を有するTFTを製作することができる。また、LDD領域とチャネル形成領域付近に、第1の補助電極及び第2の補助電極が形成されている。よって、第1の補助電極及び第2の補助電極に、任意の電圧を印加することで、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を微調整することができる。これにより、ホットキャリア効果をさらに抑制することができる。よって、膜厚の薄いゲート絶縁膜を有するTFTを機能回路のTFTに、膜厚の厚いゲート絶縁膜を有するTFTをソース領域のTFT及び駆動回路のTFTに应用することで、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ることができる。

【0078】

(第3実施形態)

本発明の一例を図3に示す。本実施形態は、実施形態1に記載したアクティブマトリクス基板において、ゲート絶縁膜が薄いTFT（図3において、ゲート絶縁膜がG1であるTFT）にのみ、第2の補助電極を形成するものである。

【0079】

図3（A）に示すように、基板301上に、下地膜である絶縁膜302を介して結晶性半導体膜を形成した後、この結晶性半導体膜を任意の形状にエッチングし、分離された結晶性半導体膜303～306を形成する。この後、第1のゲート絶縁膜（以下、本実施形態及び図3においてG1と示す。）307を成膜する。第1のゲート絶縁膜（G1）307は、膜厚が薄く、第1のゲート絶縁膜の膜厚は、 $1\sim100\text{nm}$ 、好ましくは $5\sim50\text{nm}$ であることが好ましい。

【0080】

次に、第1の導電膜を成膜したのち、フォトリソグラフィの技術を用いマスク（図示しない）を形成した後、公知のエッチング方法により、第1の導電膜の不要部分を除去して、所望の形状の第1のゲート電極308、309及び第1の補助電極310a、310b、311a、311bを形成する。膜厚の薄いゲート絶縁膜を有するTFTではゲート電極（以下、本実施形態では、第1のゲート電極と記す。）として、膜厚の厚いゲ

ート絶縁膜を有するTFTでは補助電極（以下、本実施形態では、第1の補助電極と記す。）として形成する。ひとつのTFTにおける第1の補助電極は、任意の間隔で配置されるのが好ましい。代表的には、概ねチャネル長（ $4\sim12\mu\text{m}$ 、好ましくは $6\sim10\mu\text{m}$ ）の間隔を有して配置される。

【0081】

次に、図3（B）に示すように、第2のゲート絶縁膜320（以下、本実施形態及び図3においてG2と示す）を形成する。第1のゲート絶縁膜（G1）及び第2のゲート絶縁膜（G2）は、膜厚の厚いゲート絶縁膜を有するTFT（図3において、ゲート絶縁膜がG1及びG2であるTFT）のゲート絶縁膜であり、第2のゲート絶縁膜の膜厚（G2）は、第1のゲート絶縁膜よりも厚く、 $5\sim100\text{nm}$ であることが好ましい。次に、第2の導電膜321を形成した後、レジストマスク322で第2の導電膜321の一部を覆う。

【0082】

次に、公知のエッチング方法により、第2の導電膜の不要部分を除去して、所望の形状の第2の補助電極331a、331b、332a、332bを形成する。なお、このときは、条件を適宜選択することにより、湾曲面を有する第2の補助電極、即ち、任意の形状の半導体層303～306上に形成された第1のゲート絶縁膜302へ向けて傾斜している第2の補助電極331a、331b、332a、332bを形成する。次に、レジストマスク333、335、336を形成する（図3（C））。

【0083】

次に、第2の導電膜を所望の形にエッチングして、第2のゲート電極を形成する。この後、レジストマスク333、335、336を除去することにより、第2のゲート電極337、338を形成する。

【0084】

なお、本実施形態では、まず始めに第2の補助電極331a、331b、332a、332bを形成した後、第2のゲート電極337、338を形成したが、この工程は逆であっても構わない。すなわち、まず始めに、第2のゲート電極を形成した後、第2の補助電極を形成しても良い。

【0085】

次に、第1のゲート電極308、309、第2の補助電極331a、331b、332a、332b、第2のゲート電極337、338、第1の補助電極310a、310b、311a、311bをマスクとして、不純物を添加することで、ソース領域及びドレイン領域を形成する。pチャネル型TFTのソース領域又はドレイン領域341、343、nチャネル型TFTのソース領域又はドレイン領域340、342には、 $1\times10^{20}\sim1\times10^{21}/\text{cm}^3$ の濃度範囲でn型またはp型を付与する不純

物元素が添加される(図3(D))。

【0086】

なお、第1の補助電極310a、310b、311a、311bの下方の結晶性半導体膜に不純物を添加し、LDD領域を設けても良い。この構造により、第1の補助電極に、任意の電圧を印加することで、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を微調整することができる。

【0087】

以上の工程により、ゲート絶縁膜の膜厚が薄いnチャネル型TFT350、pチャネル型TFT351、ゲート絶縁膜の膜厚が厚いnチャネル型TFT352、pチャネル型TFT353を同時に形成する。

【0088】

本実施形態において、第1のゲート電極、第2の補助電極、第2のゲート電極、第1の補助電極はそれぞれ、独立してパターンニングされているため、それぞれの電極に任意の電圧を印加することができる。よって、それぞれのTFTの必要とされる機能を考慮して、第1の補助電極及び第2の補助電極に、任意の電圧を印加することにより、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を制御することができる。すなわち、LDD領域と同様の機能を有し、ホットキャリア効果を抑制することが可能である。代表的には、オン電流の低いTFTにおいては、補助電極の印加電圧を制御し、キャリア濃度を高めて、結晶性半導体膜中の抵抗を下げれば良い。また、オフ電流の高いTFTにおいては、補助電極の印加電圧を制御し、キャリア濃度を下げて、結晶性半導体膜中の抵抗を高めれば良い。

【0089】

また、第1の補助電極及び第2の補助電極の電位は、固定する必要はなく、それぞれTFTの必要とされる機能を考慮して、経時変化させることもできる。すなわち、ひとつのTFTにおいて、補助電極に印加する電圧を調節することで、オン電流を高めたオフ電流低下させることが可能となる。この場合、補助電極に印加する電圧は、必要とするオフ電流またはオン電流に合わせて、適宜調節すればよい。

【0090】

以上の工程により、特殊な工程を用いず、従来の工程を応用することで、同一基板上に、ゲート絶縁膜の膜厚の異なるTFTを製作することができる。また、LDD領域を形成しなくとも第1の補助電極及び第2の補助電極に、任意の電圧を印加することで、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を変化させることができる。これにより、チャネル形成領域とソース領域又はドレイン領域との接合面において生じる、ホットキャリア効果を抑制することができる。このため、膜厚の厚いゲート絶縁膜を有するTFTを、シフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング

グ回路等の駆動回路のTFT及び画素TFTに応用することで、耐圧の機能が強く、低消費電力化を図ることができる。且つ信頼性の高いTFTを製作することが可能となる。さらに、チャネル長が短くゲート絶縁膜の薄いTFTを、CPU、DRAM、画像処理回路、音声処理回路等を含む機能回路のTFTに応用することで、動作特性および信頼性を向上させることができる。

【0091】

(第4実施形態)

本発明の一例を図4に示す。本実施形態は、第2の補助電極を形成せずに、第2実施形態に記載したアクティブマトリクス基板を製作するものである。

【0092】

図4(A)に示すように、基板401上に、下地膜である絶縁膜402を介して結晶性半導体膜を形成した後、この結晶性半導体膜を任意の形状にエッチングし、分離された結晶性半導体膜403〜406を形成する。この後、第1のゲート絶縁膜(以下、本実施形態及び図4においてG1と示す。)407を成膜する。第1のゲート絶縁膜(G1)407は、膜厚が薄く、第1のゲート絶縁膜の膜厚は、1〜100nm、好ましくは5〜50nmであることが好ましい。

【0093】

次に、第1の導電膜を成膜したのち、フォトリソグラフィの技術を用いマスク(図示しない)を形成した後、公知のエッチング方法により、第1の導電膜の不要部分を除去して、所望の形状の第1のゲート電極408、409及び第1の補助電極410a、410b、411a、411bを形成する。膜厚の薄いゲート絶縁膜を有するTFTではゲート電極(以下、本実施形態では、第1のゲート電極と記す。)として形成する。一方、膜厚の厚いゲート絶縁膜を有するTFTでは、補助電極(以下、本実施形態では、第1の補助電極と記す。)として形成する。ひとつのTFTにおける第1の補助電極は、任意の間隔で配置されることが好まれる。代表的には、概ねチャネル長(4〜12 μm 、好ましくは6〜10 μm)の間隔を有して配置される。

【0094】

次に、チャネル形成領域以外の結晶性半導体膜中に不純物を添加する。なお、図4(A)では表記しないが、膜厚の厚いゲート絶縁膜を有するTFT(図4においては、ゲート絶縁膜がG1及びG2であるTFT)においては、第1の補助電極の間(図4(A)の領域410aと410bとの間、及び411aと411bとの間)の結晶性半導体膜に不純物が添加されないように、レジストマスクで覆った後、不純物を添加する。不純物を添加することで、LDD領域を形成する。Pチャネル型TFTのLDD領域416、418、Nチャネル型TFTのLDD領域415、417には、 $1 \times 10^{17} \sim 1 \times 10^{18}/\text{cm}^3$ の濃度範囲でn型またはp型を付与する不純物元

素が添加される。

【0095】

次に、図4(B)に示すように、第2のゲート絶縁膜420(以下、本実施形態及び図4において、G2と示す)を形成する。第1のゲート絶縁膜(G1)及び第2のゲート絶縁膜(G2)は、膜厚の厚いゲート絶縁膜を有するTFT(図4において、ゲート絶縁膜がG1及びG2であるTFT)のゲート絶縁膜である。第2のゲート絶縁膜の膜厚(G2)は、第1のゲート絶縁膜よりも厚く、5~100nmであることが好ましい。次に、第2の導電膜421を形成した後、フォトリソグラフィの技術を用いマスク(422、423)を形成する。

【0096】

次に、図4(C)に示すように、公知のエッチング方法により、第2の導電膜の不要な部分を除去して、所望の形状の第2のゲート電極435、436を形成する。

【0097】

次に、nチャネル型TFT上にソース領域及びドレイン領域を形成する為のレジストマスク431を形成した後、第1のゲート電極408、409、第2のゲート電極435、436、第1の補助電極410a、410b、411a、411b、レジストマスク431をマスクとして、不純物を添加することで、ソース領域及びドレイン領域を形成する。pチャネル型TFTのソース領域又はドレイン領域441、443、nチャネル型TFTのソース領域又はドレイン領域440、442には、 $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲でn型またはp型を付与する不純物元素が添加される。一方、nチャネル型TFT450のLDD領域には、 $1 \times 10^{17} \sim 1 \times 10^{18}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加されている。

【0098】

なお、第1の補助電極410a、410b、411a、411bの下方の結晶性半導体膜に不純物を添加し、LDD領域を設けても良い。この構造により、第1の補助電極に、任意の電圧を印加することで、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を微調整することができる。

【0099】

また、レジストマスク431を用いてLDD領域を形成する工程に代えて、第1のゲート電極408、409を形成した後、その側面に酸化珪素膜等の絶縁膜を形成し、この膜をエッチングして、曲面を有し且つ断面形状が略三角形の絶縁膜を形成しても良い。このうち、不純物を添加することで、LDD領域を形成することができる。

【0100】

以上の工程により、ゲート絶縁膜の膜厚が薄くLDD領域を有するnチャネル型TFT450、シングルドレインのpチャネル型TFT451、補助電極を有しゲ

ト絶縁膜の膜厚が厚いnチャネル型TFT452、pチャネル型TFT453を同時に形成する。

【0101】

以上の工程により、特殊な工程を用いず、従来の工程を応用することで、同一基板上に、ゲート絶縁膜の膜厚の異なり、TFTを作製することができる。第1の補助電極に、任意の電圧を印加することで、各々の補助電極の下にある結晶性半導体膜中のキャリア濃度を変化させることができる。これにより、ホットキャリア効果をさらに抑制することができる。よって、膜厚の厚いゲート絶縁膜を有するTFTを、シフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路等の駆動回路のTFT及び画素TFTに応用することで、耐圧の機能が高く、低消費電力化を図ることができ、且つ信頼性の高いTFTを作製することが可能となる。さらに、チャネル長が短くゲート絶縁膜の薄いTFTを、CPU、DRAM、画像処理回路、音声処理回路等を含む機能回路のTFTに応用することで、動作特性および信頼性を向上させることができる。

【実施例1】

【0102】

ここでは、機能回路領域及び画素領域を有するアクティブマトリクス基板を用いた液晶表示装置を作製する方法について図5を用いて説明する。

【0103】

TFTをスイッチング素子として用いるアクティブマトリクス型液晶表示装置は、画素電極がマトリクス状に配置された基板(アクティブマトリクス基板)と、対向電極が形成された対向基板とを液晶層を介して対向配置した構造となっている。両基板間にはスペーサ等を介して所定の間隔に制御され、画素部の外周部にシール材を用いることで液晶層を封入している。

【0104】

以下に機能回路領域及び画素領域を有するアクティブマトリクス基板の作製例を示す。本実施例では、第1実施形態で示した構造のTFTを応用する。また、図5において、画素領域のnチャネル型TFT542及び543は、それぞれ同じ構造を有しているため、nチャネル型TFT542のみ説明する。

【0105】

まず、基板501上に、公知の技術を用いて酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜からなる下地膜502を形成する。下地膜は、単層としてもよいし、2層以上の積層構造としてもよい。本実施例では、2層の下地膜を形成する。まず始めに、基板表面に接してプラズマCVD法で10~100nmの窒化珪素膜を第1の下地膜として形成し、次に第1の下地膜表面に接してプラズマCVD法により50~150nmの酸化窒化珪素膜を第2の下地膜として成膜する。なお、本実施例では、基板にバリウムホウケイ酸ガラスを

用いるがこれに限定されるものではなく、アルミノホウケイ酸ガラス、合成石英ガラス、シリコン、金属基板またはステンレス基板、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板等を用いることができる。

【0106】

次いで、第2の下地膜上に膜厚25～70nm（好ましくは30～50nm）の半導体膜を形成し、フォトリソグラフィの技術を用いマスク（図示しない）を形成した後、公知のエッチング方法により、不要な部分を除去して、所望の形状の半導体膜を形成する。なお、半導体膜の形成方法は、公知の手法（スパッタ法、LPCVD法、またはプラズマCVD法等で形成された非晶質珪素膜を、固相析出法、レーザ結晶化法、金属を用いた熱結晶化法により結晶性珪素膜を形成する等）を適応すれば良い。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム（SiGe）合金などで形成すると良い。本実施例では、50nmの非晶質珪素膜を形成し、レーザを照射して結晶性珪素膜を形成した後、エッチング工程により半導体層を形成する。

【0107】

なお、レーザ結晶化法で結晶性珪素膜を作製する場合は、パルス発振型または連続発振型のエキシマレーザやYAGレーザ、YVO4レーザを用いる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザ光を光学系で線状に集光し、半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数30[kHz]とし、レーザエネルギー密度を100～400[mJ/cm²]（代表的には200～300[mJ/cm²])とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1～10[kHz]とし、レーザエネルギー密度を300～600[mJ/cm²]（代表的には300～500[mJ/cm²])とすると良い。そして幅100～1000[μm]、例えば400[μm]で線状に集光したレーザ光を基板全面に渡って照射し、この時の線状レーザ光の重ね合わせ率（オーバーラップ率）を50～90[%]として行う。

【0108】

また、半導体膜を形成した後、薄膜トランジスタのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。（図示しない）。

【0109】

次に、下地膜表面及び半導体層上に、公知の技術を用いて膜厚1～100nm、好ましくは5～50nmの第1のゲート絶縁膜503を形成する。本実施例では、プラズマCVD法により膜厚50nmの酸化珪素膜を形成する。なお、第1のゲート絶縁は酸化珪素膜に限定されるものでなく、他の絶縁膜（酸化珪素膜、窒化珪素膜、窒化珪素膜等）を用いても良い。

酸化珪素膜、窒化珪素膜等）を用いても良い。

【0110】

次に、公知の成膜方法により、第1の導電膜を成膜する。本実施例では、第1のゲート絶縁膜に接して膜厚30nmの窒化タンタル膜を、次に膜厚370nmのタンダステン膜を積層して第1の導電膜とする。窒化タンタル膜およびタンダステン膜は、スパッタ法で形成する。

【0111】

なお、本実施例では、第1の導電膜を窒化タンタル膜及びタンダステン膜の積層としたが、特に限定されず、いずれもタンタル（Ta）、タンダステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ネオジム（Nd）から選ばれた元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、銀—銅—パラジウム合金（AgPdCu合金）を用いてもよい。

【0112】

次に、フォトリソグラフィの技術を用いマスク（図示しない）を形成した後、公知のエッチング方法（RIE法、ECR法等）により、第1の導電膜の不要な部分を除去して、第1のゲート電極504、505及び第1の補助電極506a、506bを形成する。

【0113】

次に第1のゲート絶縁膜、第1のゲート電極及び第1の補助電極上に、公知の技術を用いて膜厚1～10nmの第2のゲート絶縁膜507を形成する。

【0114】

本実施例では、プラズマCVD法により膜厚60nmの酸化窒化珪素膜を形成する。なお、第2のゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の絶縁膜（酸化珪素膜、窒化珪素膜、窒化珪素膜等）を用いても良い。

【0115】

次に、第2の導電膜を成膜する。本実施例では、第2の導電膜は第1の導電膜と同様に、膜厚30nmの窒化タンタル膜及び膜厚370nmのタンダステン膜の積層構造とする。

【0116】

次に、公知のエッチング方法（RIE法、ECR法等）により、第2の導電膜の不要な部分を除去して、第2の導電膜を第2のゲート電極及び第2の補助電極を形成する。はじめに、第2のゲート電極となる部分をレジスタマスクで覆った後、第2の導電膜をエッチングして第2の補助電極509a、509b、510a、510b、512a、512bを同時に形成する。

【0117】

第1のゲート電極504、505、第2のゲート電極508、第1の補助電極506a、506b及び第2の補助電極509a、509b、510a、510b、5

12a、512bをマスクとして、公知の技術（イオンドーピング法、イオン注入法等）により半導体膜に不純物元素を導入し、ソース領域およびドレイン領域を形成する。本実施例では、n型不純物をドーピングする際には、不純物のドーピング量を $1 \times 10^{15} / \text{cm}^2$ とし、加速電圧を80keVとして行う。なお、n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いる。本実施例では、リン(P)を含む化合物を不純物として用いる。この際、p型TFTはレジストマスクで覆い、n型不純物が導入されないようにする。

【0118】

次に、p型不純物をドーピングする際には、不純物のドーピング量を $3 \times 10^{15} / \text{cm}^2$ とし、加速電圧を30keVとして行う。なお、p型を付与する不純物元素には、13族に属する元素、典型的にはボロン(B)を用いることができる。この際、n型TFTはレジストマスクで覆い、p型不純物が導入されないようにする。

【0119】

以上の工程により、n型を示すソース領域及びドレイン領域515、517及びp型を示すソース領域及びドレイン領域516を形成する。

【0120】

次に、熱処理を行って、半導体膜の結晶性の回復、およびそれぞれの半導体膜に導入された不純物元素の活性化を行う。熱処理の方法としては、ファースターニール炉を用いる熱アニール法、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。本実施例では、熱アニール法を用い、窒素雰囲気中で550℃とし、4時間加熱する。

【0121】

次に、第1の層間絶縁膜520及び第2の層間絶縁膜521を形成する。第1の層間絶縁膜520は、単層または積層構造として用いても良い。本実施例では、第1の層間絶縁膜520としてプラズマCVD法により膜厚50nmの酸化珪素膜を形成する。次に、熱処理(300~550℃で1~12時間の熱処理)を行い水素化を行う。この工程は第1の層間絶縁膜520に含まれる水素により半導体膜のダングリングボンドを終端する工程である。なお、水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)や、3~100%の水素を含む雰囲気中にて300~450℃で1~12時間の熱処理を行っても良い。本実施例では、窒素雰囲気中で410℃、1時間の加熱を行う。

【0122】

次に、第2の層間絶縁膜521として、無機材料または有機材料からなる膜を形成することができる。無機材料の代表例としては、酸化ケイ素、窒化酸化ケイ素、酸化窒化ケイ素等が挙げられる。有機材料の代表例として

は、アクリル、ポリイミド、ポリシラザン等が挙げられる。有機材料として、ボジ型又はネガ型の感光性を有する有機材料で層間絶縁膜を形成すると、曲率を有するコンタクト孔を有するため、後に形成する電極の被覆率(カバレッジ)が高くなるという効果がある。また、シロキサンポリマーを塗布し焼成して、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、または置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料で形成してもよい。この場合、耐熱性を有し、且つ平坦性を有する層間絶縁膜を形成することができ。本実施例では、膜厚800nmの酸化珪素膜を形成のち、エッチバックを行って平坦化を行う。

【0123】

そして、ソース領域及びドレイン領域515~517に達するコンタクトホールを形成し、ソース領域及びドレイン領域とそれぞれ電気的に接続する配線522~525を形成する。

【0124】

なお、これらの配線は、膜厚100nmのチタン膜、膜厚350nmの合金膜(代表的には、アルミニウムとシリコンとの合金膜)及び膜厚100nmのチタン膜との積層膜をエッチングして形成する。なお、配線材料としては、Ti、AlとSiとの合金に限らず、他の低抵抗材料を用いても良い。

【0125】

次に、第3の層間絶縁膜530を形成する。本実施例では、膜厚530nmのアクリル樹脂を形成する。なお、第3の層間絶縁膜を積層構造とし、層間絶縁膜の間に、Al、Ti、W、Cr、または黒色樹脂等の高い遮光性を持つ膜を所望の形状にエッチングして遮光膜形成してもよい。この遮光膜は画素電極以外を遮光するように網目状に配置される。

【0126】

次に、画素領域におけるドレイン配線に通じるコンタクトホールを形成し、導電膜を100nm形成し、所望の形状にエッチングすることで画素電極531を形成する。なお、反射型の液晶表示装置を得る場合は、画素電極として光反射率の高い金属膜、代表的にはアルミニウムまたは銀を主成分とする膜、またはそれらの積層膜等を用いればよく、透過型の液晶表示装置を得る場合は、遮光性を有する導電膜、代表的には、ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In₂O₃-ZnO)、酸化亜鉛(ZnO)、酸化珪素を含む酸化インジウムスズ合金等を用いればよい。

【0127】

以上の様にして、nチャネル型TFT540とpチャネル型TFT541からなる機能回路554、画素TFT542、543とを有する画素部555を同一基板上に形成することができる。こうして、アクティブマトリ

クス基板が完成する。

【0128】

このように、膜厚の薄いゲート絶縁膜を有するTFTを機能回路のTFT（代表的には、CPU、DRAM、画像処理回路、音声処理回路等）に応用し、膜厚の厚いゲート絶縁膜を有するTFTを画素領域のTFT又は駆動回路のTFT（代表的には、バッファ回路、シフトレジスタ回路、レベルシフト回路、サンプリング回路等）に応用することで、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ることができ、なお、本実施例では、駆動回路（シフトレジスタ回路、レベルシフト回路、サンプリング回路等）に関するTFTについて表記していないが、第1実施形態乃至第4実施形態に記載のゲート絶縁膜の厚いnチャネル型TFT及びpチャネル型TFTを適応すればよい。

【0129】

なお、本実施例の機能回路及び画素領域のTFTには、第1実施形態に記載されたTFTを適応したが、これに限られるものではなく、第2実施形態〜第4実施の形態に記載されたTFTを適応することもできる。

【実施例2】

【0130】

ここでは、画素領域及び機能回路領域を有するアクティブマトリクス基板を用いた発光表示装置を作製する方法について図6を用いて説明する。

【0131】

TFTをスイッチング素子として用いる発光表示装置は、画素電極がマトリクス状に配置された基板（アクティブマトリクス基板）と、封止用の部材とからなり、画素電極上には発光物質を含む層を介して対向電極が形成されている。基板と封止用の部材とは、接着剤等を介して封止されている。

【0132】

以下にアクティブマトリクス基板の作製例を示す。

【0133】

実施例1と同様の工程により、機能回路領域においてはnチャネル型TFT640、pチャネル型TFT641を、画素領域においてはpチャネル型TFTからなる電流制御用TFT642、nチャネル型TFTからなるスイッチングTFT643を形成する。なお、本実施例では、実施形態1で示した構造のTFTを適応する。すなわち、機能回路領域におけるnチャネル型TFT640、pチャネル型TFT641は、第1のゲート電極611、612、及び第2の補助電極613a、613b、614a、614bを有し、画素領域のpチャネル型TFT642、nチャネル型TFT643は、第2のゲート電極615、616、及び第1の補助電極617a、617b、618a、618b、第2の補助電極635a、635b、636a、636bを有する。

【0134】

次に、nチャネル型TFT640、pチャネル型TFT641、電流制御用TFT642、及びスイッチングTFT643の第2のゲート絶縁膜、第2の補助電極、第2のゲート電極上に、膜厚100nmの窒化珪素膜からなる第1の層間絶縁膜620を成膜したのち、300〜550℃で1〜12時間加熱し、半導体膜を水素化する。本実施例では、窒素雰囲気中で410℃、1時間加熱する。この工程は、第1の層間絶縁膜620に含まれる水素により、各TFTの半導体膜のダングリングボンドを終端する工程である。

【0135】

その後、第1の層間絶縁膜上に有機絶縁材料からなる第2の層間絶縁膜621を形成する。第2の層間絶縁膜の材料は、第1の層間絶縁膜と同様の材料を用いることができる。有機絶縁材料としては、ボジ型感光性有機樹脂又はネガ型感光性有機樹脂を用いることができる。感光性有機樹脂を用いた場合、フォトリソグラフィ工程による露光処理を行い、感光性有機樹脂をエッチングすると曲率を有する第1の開口部を形成することができる。このように曲率を有する開口部を形成することは、後に形成する電極の被覆率（カバレッジ）が高くなるという効果がある。本実施例では、第2の層間絶縁膜に厚さ1.05μmの感光性アクリル樹脂膜を形成する。この後、第2の層間絶縁膜のパターニング及びエッチングを行い、なだらかな内壁を有する第1の開口部を形成する。

【0136】

なお、ボジ型の感光性樹脂は茶色に着色しているため、第2の層間絶縁膜621にボジ型の感光性有機樹脂を用いる場合、エッチング後に感光性有機樹脂の脱色処理を行う必要がある。

【0137】

次に、第1の開口部及び第2の層間絶縁膜621を覆うように窒化絶縁膜（代表的には、窒化珪素膜又は窒化珪素膜）からなる第3の層間絶縁膜622を形成する。本実施例では第3の層間絶縁膜に窒化珪素膜を用いる。窒化絶縁膜からなる第3の層間絶縁膜を形成することにより、第2の層間絶縁膜から発生する脱ガスを抑制することができる。

【0138】

次に、フォトリソグラフィ工程による露光処理を行った後、第3の層間絶縁膜622、第2の層間絶縁膜621、第1の層間絶縁膜620、第2のゲート絶縁膜638及び第1のゲート絶縁膜669を順次エッチングし、第2の開口部を形成する。このときの、エッチング処理は、ドライエッチング処理でもウェットエッチング処理でもよい。本実施例では、ドライエッチングにより第2の開口部を形成する。

【0139】

次に、第2の開口部を形成した後、第3の層間絶縁膜

上及び第2の開口部に金属膜を形成し、フォトリソグラフィ工程による露光の後、金属膜をエッチングしてソース電極及びドレイン電極623〜629、配線(図示しない)を形成する。金属膜は、アルミニウム(A1)、チタン(Ti)、モリブデン(Mo)、タングステン(W)もしくはシリコン(Si)の元素からなる膜又はこれらの元素を用いた合金膜を用いる。本実施例では、チタン膜/アルミニウム/シリコン合金膜/チタン膜(Ti/A1-Si/Ti)をそれぞれ100/350/100nmに積層したのち、所望の形状にパターンニング及びエッチングしてソース電極ドレイン電極623〜629及び配線(図示しない)を形成する。

【0140】

その後、第1の電極631を形成した後、第4の層間絶縁膜を形成し、第3の開口部を形成する。第4の層間絶縁膜には、無機材料又は有機材料を用いることができる。無機材料の代表例としては、酸化ケイ素、窒化酸化ケイ素、酸化窒化ケイ素等が挙げられる。有機材料の代表例としては、アクリル、ポリイミド、ポリシラザン等が挙げられる。有機材料として、ポリ型又はケイ型の感光性を有する有機材料で第4の層間絶縁膜を形成すると、曲率を有するコンタクト孔を有するため、後に形成する電極の被覆率(カバレッジ)が高くなるという効果がある。また、シロキサンポリマーを塗布し焼成して、シリコン(Si)と酸素(O)との結合で骨格構造が構成される、置換基に少なくとも素を含む材料、または置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料で形成してもよい。本実施例では、第4の層間絶縁膜に、感光性アクリル樹脂膜を用い、パターンニング及びウエットエッチングを行い、ならかな内壁を有する第3の開口部を形成する。

【0141】

第1電極631及び第4の層間絶縁膜630の上には発光物質を含む層632、陰極として機能する第2電極633及びバッシベーション膜(図示せず)を設ける。第1電極631、発光物質を含む層632、第2電極633が重畳する部位が実質的に発光素子となる。

【0142】

この発光物質を含む層632の構成は公知の構成を用いることができる。第1電極631と第2電極633との間に配設する発光物質を含む層には、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれ、これらの層が積層された形態又はこれらの層を形成する材料の一部又は全部が混合された形態を有することができる。具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有してもよい。

【0143】

発光層は典型的には有機化合物を用いて形成されている。代表的には、その分子数から区分された低分子系有機化合物、オリゴマーやゲンドリマー等の中分子系有機化合物、高分子系有機化合物から選ばれた一種又は複数種の層を有する。また、電子注入輸送性又は正孔注入輸送性を有する無機化合物から形成される電子注入輸送層又は正孔注入輸送層を組み合わせて形成してもよい。

【0144】

発光層の主体となる発光材料を以下にまとめる。低分子系有機化合物としては、トリス-8-キノリノラトアルミニウム錯体やビス(ペンゾキノリラト)ベリリウム錯体等の金属錯体をはじめとし、フェニルアントラセン誘導体、テトラアリールジアン誘導体、ジスチルベンゼン誘導体等が適用可能である。また、これらの材料をホストとし、クマリン誘導体、DCM、キノクリドン、ルベン等ドーパントとして添加することで、量子効率を上げ、高輝度化、高効率化を図ることができる。

【0145】

高分子系有機化合物としては、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系等があり、ポリパラフェニレンビニレン(poly(p-phenylene vinylene)):(PPV)、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン)(poly(2,5-dialkoxy-1,4-phenylene vinylene)):(RO-PPV)、ポリ(2-(2'-エチルヘキソキシ)-5-メトキシ-1,4-フェニレンビニレン)(poly[2-(2'-ethylhexoxy)-5-methoxy-1,4-phenylene vinylene]):(MEH-PPV)、ポリ(2-(ジアルコキシフェニル)-1,4-フェニレンビニレン)(poly[2-(dialkoxyphenyl)-1,4-phenylene vinylene]):(ROPPh-PPV)、ポリパラフェニレン(poly(p-phenylene)):(PPP)、ポリ(2,5-ジアルコキシ-1,4-フェニレン)(poly(2,5-dialkoxy-1,4-phenylene)):(RO-PPP)、ポリ(2,5-ジヘキソキシ-1,4-フェニレン)(poly(2,5-di-hexoxy-1,4-phenylene))、ポリチオフェン(polythiophene):(PT)、ポリ(3-アルキルチオフェン)(poly(3-alkylthiophene)):(PAT)、ポリ(3-ヘキシルチオフェン)(poly(3-hexylthiophene)):(PHT)、ポリ(3-シクロヘキシルチオフェン)(poly(3-cyclohexylthiophene)):(PCHT)、ポリ(3-シクロヘキシル-4-メチルチオフェン)(poly(3-cyclohexyl-4-methylthiophene)):(PCHMT)、ポリ(3,4-ジシクロヘキシルチオフェン)(poly(3,4-dicyclohexylthiophene)):(PDCHT)、ポリ[3-(4-オクチルフェニル)-チオフェン](poly[3-(4-octylphenyl)-thiophene]):(POPT)、ポリ[3-(4-オクチルフェニル)-2,2-ビチオフェン](poly[3-(4-octylphenyl)-

2,2-bithiophene)] : (PTOPT)、ポリフルオレン (polyfluorene) : (PF)、ポリ (9, 9-ジアルキルフルオレン) (poly(9,9-dialkylfluorene)) : (PDA-F)、ポリ (9, 9-ジオクチルフルオレン) (poly(9,9-dioctylfluorene)) : (PDof) 等が挙げられる。

【0146】

電子注入輸送層又は正孔注入輸送層として用いることができる無機化合物には、ダイヤモンド状カーボン (DLC)、CN、及び Si、Ge、バナジウム、モリブデン並びにこれらの酸化物又は窒化物の他、これらに P、B、N 等が適宜ドーピングされたものがある。また、アルカリ金属又はアルカリ土類金属の酸化物、窒化物又はフッ化物も、用いることができる。さらには、当該金属と Zn、Sn、V、Ru、Sm、または In との化合物もしくは合金であっても良い。

【0147】

また、これらの各層を混合した混合接合構造を形成しても良い。

【0148】

なお、発光素子の発光は、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがある。本発明に係る発光素子は、いずれか一方の発光を用いていても良く、又は両方の発光を用いていても良い。

【0149】

第2電極633としては、金属成分とアルカリ金属又はアルカリ土類金属、若しくはその両者を含む成分とからなる多成分の合金若しくは化合物を用いる。金属成分としては、Al、Au、Fe、V、Pd 等が挙げられ、アルカリ金属又はアルカリ土類金属の具体例としては、Li (リチウム)、Na (ナトリウム)、K (カリウム)、Rb (ルビジウム)、Cs (セシウム)、Mg (マグネシウム)、Ca (カルシウム)、Sr (ストロンチウム)、Ba (バリウム) 等が挙げられる。その他、これら以外にも Yb (イットリウム)、Lu (ルテチウム)、Nd (ネオジム)、Tm (トリウム) 等も適用しても良い。第2電極の組成は、上記金属成分にアルカリ金属又はアルカリ土類金属のうち仕事関数が 3 eV 以下のものを 0.01~1.0 重量% 含ませた合金若しくは化合物とする。陰極として機能させる目的において、第2電極の厚さは適宜設定すれば良く、概ね 0.01~1 μm の範囲内として、電子ビーム蒸着法で形成すれば良い。

【0150】

パッシベーション膜 (図示せず) としては、窒化シリコン膜、窒化アルミニウム膜、ダイヤモンドライクカーボン膜その他の水分や酸素に高いブロック性を示す絶縁膜を用いることができる。

【0151】

本実施例においては、発光物質を含む層で発光した光

が基板601に放出される。一方、第1の電極1と、アルミニウム-シリコン合金、窒化タンタル、タンタル、チタン、タングステン、窒素を含むチタン等で形成される反射性を有する導電膜上に、仕事関数の大きい導電膜 (1TO (酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金 (In₂O₃-ZnO)、酸化亜鉛 (ZnO)、酸化珪素を含む酸化インジウムスズ (1TSO) 等) を用いて形成する。一方、第2の電極には、1nm~10nm のアルミニウム膜、もしくは Li を微量に含むアルミニウム膜を用いる。この場合、膜厚が薄いため、上方 (基板601と反対側) に光が放出される。

さらに、反射性を有する導電膜及び仕事関数の大きい導電膜で形成される第1の電極に代えて、透明導電膜で第1の電極を用いた場合、上方と下方の両方に発光を放出することができる。

【0152】

以上の様に、nチャネル型 TFT 640 と pチャネル型 TFT 641 からなる機能回路 650、pチャネル型 TFT からなる電流制御用 TFT 642、nチャネル型 TFT からなるスイッチング TFT 643 を有する画素領域 651 とを同一基板上に形成する EL 表示装置用のアクティブマトリクス基板を得ることができる。なお、本実施例では、駆動回路の TFT (シフトレジスタ回路、デコーダー回路、メモリー回路、レベルシフト回路、サンプリング回路等) に関する TFT について表記していないが、第1乃至第4実施形態に記載のゲート絶縁膜の厚い nチャネル型 TFT 及び pチャネル型 TFT を適応すればよい。

【0153】

さらに、本実施例の TFT には、第1実施形態に記載された TFT を適応したが、これに限られるのではなく、第2実施形態~第4実施形態に記載された TFT を適応することもできる。

【0154】

このように、機能回路の TFT (代表的には、CPU、DRAM、画像処理回路、音声処理回路等) に膜厚の薄いゲート絶縁膜を有する TFT を適応し、画素領域の TFT 又は駆動回路の TFT (代表的には、バッファ回路、シフトレジスタ回路、レベルシフト回路、サンプリング回路等) に膜厚の厚いゲート絶縁膜を有する TFT を応用することで、EL 表示装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ることができる。

【実施例3】

【0155】

本実施例は、第1実施形態~第4実施形態4、実施例1及び実施例2での TFT に適用する半導体層の、作製方法の一実施例を図7を用いて説明する。本実施例は、絶縁膜面上に形成された非晶質珪素膜に連続発振レーザ

光を走査して結晶化させるものである。

【0156】

図7(A)において、ガラス基板701上に100nmの酸化窒化珪素膜でなる下地膜702が形成されている。その上にプラズマCVD法で形成された非晶質珪素膜703が54nmの厚さに形成されている。

【0157】

次に、図7(B)に示すように、半導体層にレーザ光を照射する。半導体層の照射に用いるレーザ光は、Nd:YVO4レーザ発振装置から連続発振により放射される連続光であり、波長変換素子により得られる第2高調波(532nm)である。連続発振レーザ光は光学系により長楕円形状に集光され、基板701とレーザ光705の照射位置を相対的に移動させることにより非晶質珪素膜703を結晶化させ結晶性珪素膜704を形成する。光学系としてはF20のシリンダカルレンズが適用され、これによりφ2.5mmのレーザ光を照射面において長軸2.5mm、短軸20μmの長楕円形状とすることができる。

【0158】

勿論、レーザ発振装置としては色を適用することも可能であり、連続発振の固体レーザ発振装置としてはYA G、YVO4、YLF、YALO3などの結晶にCr、Nd、Er、Ho、Ce、Co、Ti又はTmをドープした結晶を使ったレーザ発振装置を適用することができる。

【0159】

またさらに、固体レーザから発せられた赤外レーザ光を非線形光学素子でグリーンレーザ光に変換後、さらに別の非線形光学素子によって得られる紫外レーザ光を用いることもできる。

【0160】

Nd:YVO4レーザ発振装置の第2高調波(532nm)を用いる場合、当該波長はガラス基板701及び下地膜702を透過するので、図7(C)で示すようにガラス基板701側からレーザ光706を照射しても良い。

【0161】

こうして、図7(D)に示すように、レーザ光705又は706が照射された領域から結晶化が進み、結晶性珪素膜704を形成するのである。レーザ光の走査は一方向のみの走査でなく、往復走査にしても良い。往復走査する場合には1回の走査毎にレーザエネルギー密度を変えて、段階的に結晶成長をさせることも可能である。また、非晶質珪素膜を結晶化させる場合にしばしば必要となる水素出しの処理を兼ねることも可能であり、最初に低エネルギー密度で走査し、水素を放出した後、エネルギー密度を上げて2回目に走査で結晶化を完遂させても良い。このような作製方法によっても同様にレーザ光の走査方向に結晶粒が延在する結晶性珪素膜を得る

ことができる。その後、島状に分割した半導体層を形成し、実施例1に適用することができる。

【0162】

尚、本実施例で示す構成は一例であり、同様な効果が得られるものであれば他のレーザ発振装置や光学系との組み合わせを適用しても良い。

【0163】

このように、本実施例の半導体層の作製方法を、実施例1及び実施例2に適用することで、さらに半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ることができる。

【実施例4】

【0164】

本実施例は、実施例1及び実施例2でTFTに適用する半導体層の作製方法の一実施例を図8を用いて説明する。本実施例は、絶縁表面上に形成された非晶質珪素膜を予め結晶化しておき、さらに連続発振レーザ光により結晶の大粒化を図るものである。

【0165】

図8(A)に示すように、実施例1と同様にガラス基板801上に下地膜802、非晶質珪素膜803を形成する。その後、結晶化温度の低減と結晶成長を促進させる金属元素としてNiを添加するため、酢酸ニッケル塩が5ppmの水溶液をスピン塗布して触媒元素含有層804を形成する。

【0166】

その後、図8(B)で示すように580℃、4時間の加熱処理により非晶質珪素膜を結晶化させる。結晶化はNiの作用により非晶質珪素膜中にシリサイドを形成しながら拡散してそれと同時に結晶成長する。こうして形成された結晶性珪素膜806は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的にはある特定の方向性をもって成長しているため結晶性が揃っている。また、(110)面の配向率が高いという特徴がある。

【0167】

その後、図8(C)で示すように連続発振レーザ光808を走査して結晶性珪素膜806の結晶性を向上させ、図8(D)で示すような結晶性珪素膜807を得る。レーザ光の照射により結晶性珪素膜は溶解し再結晶化する。この再結晶化に伴って、レーザ光の走査方向に結晶粒が延在するように結晶成長が成される。この場合、予め結晶面が揃った結晶性珪素膜が形成されているので、異なる面の結晶の折出や転位の発生を防ぐことができる。その後、島状に分割した半導体層を形成し、実施例1又は実施例2に適用することができる。

【0168】

このように、本実施例の半導体層の作製方法を、実施例1及び実施例2に適用することで、さらに半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ることができる。

【実施例 5】

【0169】

本実施例は、実施例 1 又は実施例 2 で TFT に適用する半導体層の作製方法の一実施例を図 9 を用いて説明する。

【0170】

図 9 (A) に示すように、実施例 3 と同様にガラス基板 911 上に下地膜 912、非晶質珪素膜 913 を形成する。その上にマスク絶縁膜 914 として 100nm の酸化珪素膜をプラズマ CVD 法で形成し、開口部 915 を設ける。その後、触媒元素として Ni を添加するため、酢酸ニッケル塩が 5 ppm の水溶液 916 をスピン塗布する。Ni は開口部 915 で非晶珪素膜と接する。

【0171】

その後、図 9 (B) で示すように 580°C、4 時間の加熱処理により非晶質珪素膜を結晶化させる。結晶化は触媒元素の作用により、開口部 915 から基板表面と平行な方向に成長する。こうして形成された結晶性珪素膜 917 は棒状または針状の結晶が集合して成り、その各々の結晶は互視的にはある特定の方向性をもって成長しているため、結晶性が揃っている。また、特定方位の配向率が高いという特徴がある。

【0172】

加熱処理が終了したらマスク絶縁膜 914 をエッチング除去することにより図 9 (C) で示すような結晶性珪素膜 917 を得ることができる。その後、島状に分割した半導体層を形成し、実施例 1 又は実施例 2 に適用することができる。

【実施例 6】

【0173】

実施例 4 又は実施例 5 の半導体層の作製方法において、結晶性珪素膜 1007 を形成した後、膜中に $10^{19}/\text{cm}^3$ 以上の濃度で残存する触媒元素をゲッタリングにより除去する工程を加えても良い。本実施例では、ゲッタリング工程を述べる。

【0174】

図 10 で示すように、結晶性珪素膜 1007 上に、薄い酸化珪素膜で成るバリア層 1009 を形成し、その上にゲッタリングサイト 1010 としてアルゴン又はリンが $1 \times 10^{20}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ 添加された非晶質珪素膜をスパッタリング法で形成する。

【0175】

その後、ファーストアニール炉による 600°C、12 時間の加熱処理、又はランプ光又は加熱された気体を加熱手段とする RTA により 650°C ~ 800°C、30 ~ 60 分の加熱処理により、触媒元素として添加されている Ni をゲッタリングサイト 1010 に偏析させることができる。この処理により結晶性珪素膜 1007 の触媒元素濃度は $10^{17}/\text{cm}^3$ 以下とすることができる。

【0176】

同様な条件で行われるゲッタリング処理は実施例 3 で作製される結晶性珪素膜に対しても有効である。非晶質珪素膜にレーザ光を照射して形成される結晶性珪素膜中に含まれる微量の金属元素をこのゲッタリング処理で除去することができる。

【0177】

このように、本実施例のゲッタリング方法を実施例 3 ~ 実施例 5 の半導体層の作製方法に適用することで、さらに半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ることができる。

【実施例 7】

【0178】

本実施例では、実施例 1 のアクティブマトリクス基板から、アクティブマトリクス型液晶モジュールを作製する工程を以下に説明する。説明には図 13 を用いる。

【0179】

アクティブマトリクス基板 1105 の中央には、画素部 1101 が配置されている。画素部 1101 の上側には、ソース信号線を駆動するためのソース信号線駆動回路 1102 が配置されている。画素部 1101 の左側には、ゲート信号線を駆動するためのゲート信号線駆動回路 1103 が配置されている。本実施例に示した例では、ゲート信号線駆動回路 1103 は画素部の片側にのみ配置されているが、これは、画素部に対して左右対称配置としても良く、液晶モジュールの基板サイズ等を考慮して、設計者が適宜選択すれば良い。ただし、回路の動作信頼性や駆動効率等を考えると、左右対称配置が望ましい。また、パネル上に機能回路 1104 が設けられ、ここから出力された各種信号は、画素部 1101、ソース信号線駆動回路 1102、ゲート信号線駆動回路 1103 に供給される。従来 FPC 等を用いてパネルの外部に接続されていた機能回路 1104 をアクティブマトリクス基板上に作製することにより、液晶表示装置の小形化が可能となる。

【0180】

さらに、FPC 1109 を介して、外部に設けられた電源回路 (図示せず) から出力された電源電圧が、パネルの画素部 1101、ソース駆動回路 1102、ゲート駆動回路 1103 に供給される。

【0181】

駆動回路、画素部の周辺には、基板外周に沿ってシール剤 1107 が塗布され、あらかじめアクティブマトリクス基板上に形成されたスペーサによって一定のギャップ (基板 1105 と対向基板 1106 との間隔) を保った状態で、対向基板 1106 が貼り付けられる。その後、シール剤 1107 が塗布されていない部分より液晶材料が注入され、封止剤 1108 によって密閉される。以上の工程により、液晶モジュールが完成する。

【0182】

なお、駆動回路又は機能回路の一部に数個の IC を用

いてもよい。

【0183】

また、本実施例と同様に、本発明を実施して形成されたアクティブマトリクス基板を用いて様々なモジュール(アクティブマトリクス型ELモジュール、アクティブマトリクス型ECモジュール等)を作製することができる。

【実施例8】

【0184】

本発明を実施して形成されたTFTは様々なモジュール(アクティブマトリクス型液晶モジュール、アクティブマトリクス型ELモジュール、アクティブマトリクス型ECモジュール)に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0185】

その一例は、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ受像器、携帯電話、投影型表示装置等が挙げられる。それらの一例を図11、図12に示す。

【0186】

図11(A)は本発明を適用してテレビ受像器を完成させた一例であり、筐体3001、支持台3002、表示部3003等により構成されている。本発明により作製されるTFT基板は表示部3003に適用され、本発明によりより薄く解像度の高いテレビ受像器を完成させることができる。

【0187】

図11(B)は本発明を適用してビデオカメラを完成させた一例であり、本体3011、表示部3012、音声入力部3013、操作スイッチ3014、バッテリー3015、受像部3016等により構成されている。本発明により作製されるTFT基板は表示部3012に適用され、本発明により、小型で解像度の高いビデオカメラを完成させることができる。

【0188】

図11(C)は本発明を適用してノート型のパーソナルコンピュータを完成させた一例であり、本体3021、筐体3022、表示部3023、キーボード3024等により構成されている。本発明により作製されるTFT基板は表示部3023に適用され、本発明により小型で、低消費電力であるパーソナルコンピュータを完成させることができる。

【0189】

図11(D)は本発明を適用してPDA(Personal Digital Assistant)を完成させた一例であり、本体3031、スタイラス3032、表示部3033、操作ボタン3034、外部インターフェース3035等により構成されている。本発明により作製されるTFT基板は表示

部3033に適用され、本発明により、小型で解像度が高く高性能なPDAを完成させることができる。

【0190】

図11(E)は本発明を適用して音響再生装置を完成させた一例であり、具体的には車載用のオーディオ装置であり、本体3041、表示部3042、操作スイッチ3043、3044等により構成されている。本発明により作製されるTFT基板は表示部3042に適用され、本発明により、小型で解像度の高い表示部を有するオーディオ装置を完成させることができる。

【0191】

図11(F)は本発明を適用してデジタルカメラを完成させた一例であり、本体3051、表示部(A)3052、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056等により構成されている。本発明により作製されるTFT基板は表示部(A)3052および表示部(B)3055に適用され、本発明により、小型で解像度の高い表示部を有するデジタルカメラを完成させることができる。

【0192】

図11(G)は本発明を適用して携帯電話を完成させた一例であり、本体3061、音声出力部3062、音声入力部3063、表示部3064、操作スイッチ3065、アンテナ3066等により構成されている。本発明により作製されるTFT基板は表示部3064に適用され、本発明により、小型で解像度の高い表示部を有する携帯電話を完成させることができる。

【0193】

図12(A)はプロジェクターであり、投射装置2601、スクリーン2602等を含む。

【0194】

図12(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。

【0195】

なお、図12(C)は、図12(A)及び図12(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は、三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図12(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0196】

また、図12(D)は、図12(C)中における光源

光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、レンズアレイ 2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。なお、図 12 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0197】

なお、図 12 に示したプロジェクターにおいては、透過型のアクティブマトリクス型液晶モジュールを用いた場合を示しており、反射型のアクティブマトリクス型液晶モジュールでの適用例は図示していないが、反射型のアクティブマトリクス型液晶モジュールを適用することもできる。

【0198】

従来のプロジェクターにおいて、金属元素を用いて結晶化された結晶性シリコン層を有する TFT を用いた場合、金属元素のゲッターリングが不十分なことによってオフ電流を抑制できないことが原因の一つと考えられる、輝点（画素 TFT のスイッチングがスムーズに行なわれず、光りつづける画素）が生じるという問題があった。この輝点により、表示ムラが生じていたが、実施例 2 で示したアクティブマトリクス型液晶モジュールを、本実施例で示したようなプロジェクターに適用することにより、

輝点を低減することが可能となる。このことにより、高精細な表示が可能なプロジェクターを作製することができる。さらに、本発明により、結晶性シリコン膜の欠陥が低減された TFT を有するアクティブマトリクス型液晶モジュールを作製することが可能なため、高運動画が可能なプロジェクターを作製することができる。

【0199】

尚、ここで示す装置はごく一例であり、これらの用途に限定するものではない。

10 【図面の簡単な説明】

【0200】

【図 1】 第 1 実施形態を示す図。

【図 2】 第 2 実施形態を示す図。

【図 3】 第 3 実施形態を示す図。

【図 4】 第 4 実施形態を示す図。

【図 5】 液晶表示装置の断面図の一例を示す図。（実施例 1）

【図 6】 EL 表示装置の断面図の一例を示す図。（実施例 2）

20 【図 7】 実施例 3 を示す図。

【図 8】 実施例 4 を示す図。

【図 9】 実施例 5 を示す図。

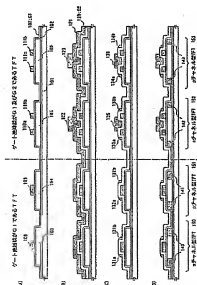
【図 10】 実施例 6 を示す図。

【図 11】 電子機器の一例を示す図。

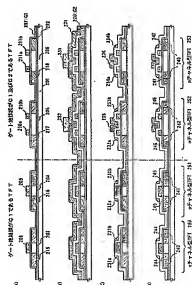
【図 12】 電子機器の一例を示す図。

【図 13】 液晶モジュールを示す図。

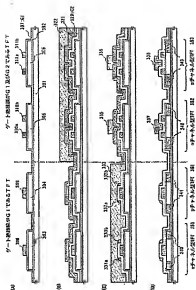
【図 1】



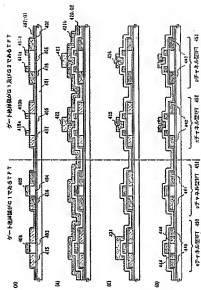
【図 2】



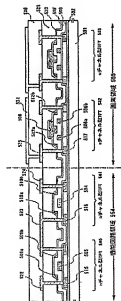
【図3】



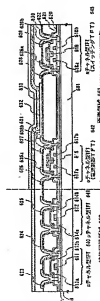
【図4】



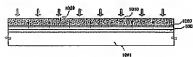
【図5】



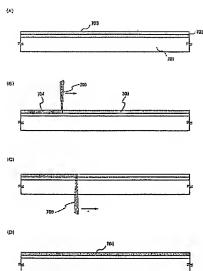
【図6】



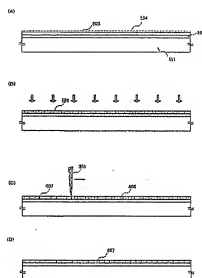
【図10】



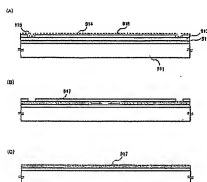
【図7】



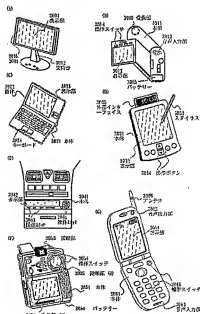
【図8】



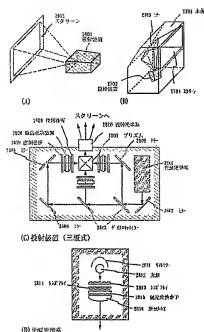
【図9】



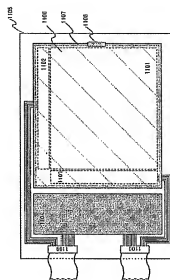
【図11】



【図12】



【図13】



フロントページの続き

(51)Int. Cl.⁷

H01L 21/8234
H01L 27/08
H01L 27/088
H01L 29/41
H05B 33/14

F I

H01L 29/78 617U
H01L 29/78 613Z
H01L 29/78 616A
H01L 27/08 102C
H01L 29/44 L
H01L 29/44 Y
H01L 21/90 M
H01L 29/78 617S
H01L 29/78 617K

デマコード (参考)

5F052
5F110

Fターム (参考) 4M104

AA01 AA03 AA08 AA09 BB01 BB02 BB04 BB07 BB08 BB13
BB14 BB16 BB17 BB18 BB32 CC05 DD12 DD16 DD17 DD18
DD20 DD65 DD91 EE03 EE12 EE14 EE16 EE17 FF01 FF06
FF22 GG08 GG10 GG14 HH20
5F033 GG00 GG01 GG03 GG04 HH03 HH07 HH08 HH09 HH11 HH12
HH14 HH17 HH18 HH19 HH20 HH21 HH32 HH38 JJ01 JJ03
JJ08 JJ09 JJ18 JJ19 JJ20 JJ38 KK01 KK09 KK18 MM05
MM08 MM13 NN06 NN07 PP15 QQ08 QQ09 QQ10 QQ12 QQ13
QQ19 QQ31 QQ37 QQ58 QQ65 QQ82 QQ83 RR01 RR04 RR06
RR08 RR21 RR22 RR23 RR27 SS15 TT02 VV00 VV06 VV15
WW02 XX00 XX32
5F048 AA05 AC04 BA16 BB01 BB02 BB03 BB09 BB11 BB16 BC06
BC16 BD10 BE08 BF02 BF07 BF11 BF16 BG07

特開2004-153255

5F052	AA02	BA02	BB02	BB07	DA01	DA02	DA03	DB02	DB03	DB07
	JA01									
5F110	AA01	AA04	AA06	AA09	AA13	AA16	BB02	BB04	BB06	CC02
	DD01	DD02	DD03	DD13	DD14	DD15	DD17	EE01	EE02	EE03
	EE04	EE06	EE22	EE28	EE44	FF02	FF03	FF04	FF09	FF12
	GG30	GG01	GG02	GG13	GG17	GG25	GG28	GG32	GG43	GG45
	FF47	HJ01								